

(10) 日本国特許庁 (JP) (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-83972

(P2002-83972A)

(43) 公開日 平成14年3月22日(2002.3.22)

(5) Int.Cl.	識別記号	FI	チコード(参考)
H01L 29/786	21/236	H01L 29/78	618Z 5F110
			626B

審査請求	未請求	請求項の数	OL (全 8 頁)
(21) 出願番号	特開2000-274396(P2000-274396)	(71) 出願人	000005108
(22) 出願日	平成12年9月11日(2000.9.11)	株式会社日立製作所	
		東京都千代田区神田神田河台四丁目6番地	
		若原 ▲特▼史	
		(72) 発明者	
		東京都青森市青森町六丁目16番地の3 株式会社日立製作所デバイス開発センター内	
		(74) 代理人	100080001
		弁理士 筒井 大和	
		Fターム(参考)	5F110 A15 A16 Q02 D013 E04
			E09 E14 E32 E45 F02
			FP23 G02 Q25 Q39 H13
			H05 H09 H34 H40 H45
			N02 Q07

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 いわゆるSOI基板主表面上にMISFETが形成された半導体集積回路装置に関し、その製造が容易で、基板電位を安定させることができる技術を提供する。

【解決手段】 SOI基板主表面上にMISFETが形成された半導体集積回路装置のシリコン薄膜(3)を、MISFETのソース・ドレイン(4、5)の端部から延在する空乏層(9)に接する中性領域(10)が生ずるよう形成し、さらに、このシリコン薄膜(3)中の前記MISFETのソース・ドレイン(4、5)に電界をかけた場合に反転層が形成される領域と前記中性領域(10)との間に、MISFETのゲート電極に対向するよう絶縁層(8)を形成する。

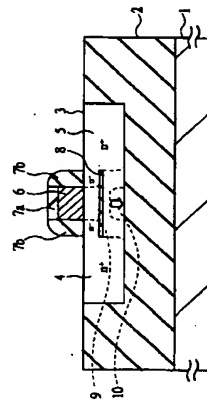


図1

【特許請求の範囲】

【請求項1】 絶縁膜上に形成されたシリコン膜の主表面にMISFETが形成された半導体集積回路装置であって、

(a) 前記MISFETは、前記シリコン膜中に形成されたソースおよびドレインと、このソースおよびドレイン間上にゲート絶縁膜を介して形成されたゲート電極とを有し、

(b) 前記シリコン膜は、前記ソースおよびドレインと、このソースおよびドレイン端部から延在する空乏層と、この空乏層に接する中性領域とを有し、

(c) 前記シリコン膜中には、前記ゲート電極に電界をかけた場合に反転層が形成される領域と前記中性領域との間に、前記ゲート電極に対向するよう形成された絶縁層を有すること、

を特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】 本発明は、半導体集積回路装置に関し、特に、SOI(Silicon On Insulator)基板上に形成されるMISFET(Metal Insulator Semiconductor Field Effect Transistor)を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 SOI基板とは、絶縁膜上に形成されたシリコン膜(0.05~0.3μm程度)を有する基板をいい、このシリコン膜上に形成されるMISFETは、そのソース・ドレインが前記絶縁膜で絶縁され、さらに、MISFETの両側をフィールド酸化膜等で絶縁すれば完全に絶縁膜で囲まれることとなる。

【0003】 このような構造によれば、ラッチアップ現象を抑制し、また、隣接するMISFET間のリーク電流を低減させることができる。

【0004】

【発明が解決しようとする課題】 しかしながら、図12に示すように、SOI基板上に形成されるMISFETを動作させると、インパルス・イオン化によりドレイン5の端部で正孔h⁺が発生する。このインパルス・イオン化は、ゲート電極6に印加される電位(以下ゲート電位V_gという)が閾値電位V_tに近傍であれば、MISFETがオフ状態でも生じ、MISFETがオフ状態において、正孔h⁺が基板中の中性領域10に溜まり、基板電位が不安定となる。

【0005】 これに対し、図11に示すようなバルク基板上に形成されるMISFETの場合は、ドレイン5の端部で発生した前記正孔h⁺は基板供給端子11に流れ込むため、基板電位は安定している。

【0006】 従って、図13の電位-電流(V_g-I)曲線に示すように、MISFETのSOI基板上に形成されるMISFET((a)曲線)の方が、バルク基板

上に形成されるMISFET((b)曲線)よりオフ電流I_{off}(ゲート電位V_gが0Vの場合の電流量)が大きく(I_{off}(SOI)>I_{off}(BULK))、その結果、消費電流が大きくなる。

【0007】 一方、図14に示すように絶縁膜上に形成されたシリコン膜3をMISFETのソース・ドレインから延在する空乏層の下端より薄く形成した場合、中性領域が存在しないため、ドレイン5端部で発生した正孔h⁺は、ソース4に流れ込む。従って、基板電位は安定し、オフ電流I_{off}を低減できる。この図14に示すMISFETは完全空乏型MISFETと呼ばれ、また、図12に示すMISFETは部分空乏型MISFETと呼ばれる。

【0008】 しかしながら、完全空乏型MISFETは、シリコン膜3が薄いためシリコン膜中に形成される抗散層の抵抗が高くなり、この抗散層の抵抗を低くするためには、メタルの配り付け等の特殊な製造工程が必要となる。また、シリコン膜厚により閾値電位V_tが大きく変化するため、シリコン膜厚を精度良く制御する必要があり、また、微細化に伴い、ゲート長L_gが短くなると、シリコン膜厚をさらに薄くする必要がある。その製造がさらに困難となる。

【0009】 なお、図11、図12および図14の各部位の機能は、後述する本発明の実施の形態の場合と同様であるためその説明を省略する。

【0010】 本発明の目的は、半導体集積回路装置に関し、その製造が容易で、基板電位を安定させることができる技術を提供することにある。

【0011】 本発明の前提目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】 本発明の半導体集積回路装置は、絶縁膜上に形成されたシリコン膜主表面上にMISFETが形成された半導体集積回路装置であって、(a)前記MISFETは、前記シリコン膜中に形成されたソースおよびドレインと、このソースおよびドレイン間上にゲート絶縁膜を介して形成されたゲート電極とを有し、(b)前記シリコン膜は、前記ソースおよびドレインと、このソースおよびドレイン端部から延在する空乏層と、この空乏層に接する中性領域とを有し、(c)前記シリコン膜中に形成された領域と前記中性領域との間に、前記ゲート電極に対向するよう形成された絶縁層を有する。

【0014】 上記手段によれば、オフ状態(ゲート電位V_gがV_t以下の場合)に、インパルス・イオン化によりドレイン端部で正孔h⁺が発生しても、この正孔h⁺が前記絶縁層上を通過しソースに流れ込むため、基板電位を

安定化することができる。

【0015】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。なお、実施の形態を説明するたのみにあつて、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0016】（実施の形態1）図1は、本発明の実施の形態1である半導体集積回路装置の要部断面図であり、SOI基板上にnチャネル型MISFETが形成された状態を示す。このSOI基板は、支持基板1、その上に形成された埋め込み絶縁膜2およびこの絶縁膜2上に形成されたシリコン膜3より成る。このシリコン膜3中に、LDD構造のソース4およびドレイン5が形成されている。また、このソース・ドレイン間上にはゲート絶縁膜6（図示せず）を介しゲート電極7a、7bで覆われている。即ち、ゲート電極6が形成されている。このゲート電極6は、酸化シリコン膜7a、7bで覆われている。酸化シリコン膜7a、7bは、ゲート電極6の両側であつて、ソース・ドレインの低抵抗領域上にはサイドウォールスペーサ7bが形成されている。

【0017】さらに、シリコン膜3中には、前記ゲート電極6およびサイドウォールスペーサ7bに反対するよう酸化シリコン膜8（絶縁層）が形成されている。

【0018】9は変圧層を示し、p型のシリコン膜3とn型のソース・ドレイン4、5の接合面に生じる。また、10は、シリコン膜3中のソース・ドレイン4、5および変圧層9以外の領域である中性領域を示す。即ち、この中性領域10は、ソース・ドレイン4、5から延在する前記変圧層9に接するよう形成される。

【0019】従つて、シリコン膜3中の不純物濃度、その厚さ、ソース・ドレイン4、5の不純物濃度およびその深さは、前記中性領域10が生じるよう設定される。【0020】また、前記酸化シリコン膜8は、ゲート電極6に電源電圧V_gを印加した場合に生じる反転層（図示せず）より深く、さらに、前記中性領域10よりも上に形成されている。

【0021】次に、図1に示すMISFET中でインパクトイオン化によりドレイン端部で正孔h⁺が生じた場合の正孔h⁺の動きについて説明する。図2に示すように、オフ状態（ゲート電圧V_gがV_t以下の場合）の場合において、インパクトイオン化によりドレイン端部で正孔h⁺が生じた場合、この正孔h⁺は、酸化シリコン膜8に阻害されて、中性領域10に移動することではできず、図中の矢印で示すように、酸化シリコン膜8上を移動し、ソース4に流れ込む。

【0022】従つて、インパクトイオン化により発生した前記正孔h⁺が中性領域10に溜まることを制限でき、基板電位の安定化を図ることができる。その結果、オフ電圧V_{off}（ゲート電圧V_gが0Vの場合の電流値）

を酸化シリコン膜（図示せず）で覆い、この酸化シリコン膜をマスクとして、素子分離領域F下のシリコン膜3a、3bを酸化し、酸化シリコン膜2bを形成する。その結果、素子形成領域Aが、酸化シリコン膜2a、2bにより分離される。なお、酸化シリコン膜2bは、酸化シリコン膜をマスクに、酸化シリコン膜2aが露出するまでドライエッチングし、分離層を形成した後、この分離層に酸化シリコン膜を埋め込むことにより形成してもよい。

【0033】次に、酸化シリコン膜を除去し、シリコン膜3bにドーパント3×10¹¹cm⁻²のボロン（B）を、5keVで打ち込み、p⁺層を形成する。さらに、ドーパント4×10¹³cm⁻²のボロン（B）を、5keVで打ち込み、シリコン膜3a中にp⁺層を形成する（図5）。

【0034】次に、図6に示すように、熱酸化によってシリコン膜3b表面にゲート絶縁膜（図示せず）を形成し、次に、CVD（Chemical Vapor Deposition）法によりリン（P）を添加した多結晶シリコン膜6aを堆積し、さらにタンダステン（W）膜6bを堆積する。次に、W膜6b上に酸化シリコン膜7aを堆積し、この酸化シリコン膜7a上に形成されたレジストパターン（図5）をマスクとして、酸化シリコン膜7aおよびゲート電極6bをドライエッチングし、多結晶シリコン膜6aおよびW膜6bをドライエッチングし、多結晶シリコン膜6aおよびW膜6bから成るゲート電極6を形成する。

【0035】次に、酸化シリコン膜7aおよびゲート電極6をマスクとしてシリコン膜3a中にヒ素（As）等のn型不純物を導入し、低濃度のn⁺型半導体領域4a、4bを形成する。この低濃度のn⁺型半導体領域5a、5bは、MISFETのソース4、ドレイン5の一部を構成するものである。

【0036】次に、シリコン膜3b、酸化シリコン膜2bおよび7a上に、CVD法により酸化シリコン膜7bを50nm堆積し、ドライエッチングすることによりゲート電極6および酸化シリコン膜7aの両側に、図7に示すようにサイドウォールスペーサ7bを形成する。次に、酸化シリコン膜7aおよびサイドウォールスペーサ7bをマスクにシリコン膜3bおよび酸化シリコン膜8をドライエッチングする。

【0037】次に、図8に示すように、前記工程により露出したシリコン膜3a上に選択シリコン法によりシリコン膜3cを堆積する。

【0038】その後、図9に示すように酸化シリコン膜7aおよびサイドウォールスペーサ7bをマスクに、シリコン膜3cおよび3a中にAsをドーパ量4×10¹⁵cm⁻²、80keVで打ち込み、n⁺型半導体領域5b、4bを形成する。このn⁺型半導体領域5b、4bとサイドウォールスペーサ7b下のn⁺型半導体領域5a、4aとによってLDD型のソース・ドレイン4、5が構

成される。

【0039】次に、酸化シリコン膜2b、7a、サイドウォールスペーサ7bおよびシリコン膜3c上に、コパルト（Co）膜をスパッタリング法もしくはCVD法で10nm堆積し（図示せず）、窒素雰囲気中で熱処理を施すことにより、コパルトシリサイド3dをシリコン膜3c表面に形成する。次に、未反応のCo膜を除去する。

【0040】以上の工程により、SOI基板上にnチャネル型MISFETが形成される。

【0041】このように、上述の製造方法によれば、シリコン膜3a上に酸化シリコン膜8を形成し、さらにその上にシリコン膜3b、3cを形成し、酸化シリコン膜8によりシリコン膜3を上下に分離することとしたので、消費電流を抑えることができ、また、大きな駆動力を有する半導体集積回路装置を容易に製造することができる。

【0042】即ち、完全空乏型MISFETのように、薄いシリコン膜中の拡散層抵抗を低くするため、メタルの貼り付け等の特殊な製造工程は不要で、また、シリコン膜厚は、シリコン膜3aと3bの膜厚の和となつたため、シリコン膜3bの膜厚のみにより閾値電圧V_tが大きく変化することがなく、完全空乏型MISFETに要求されるシリコン膜厚の制御の必要性が緩和される。また、微細化に伴い、ゲート長L_gが短くなつても、シリコン膜全体（3a、3b）の膜厚を薄くすることは容易であり、容易にMISFETを製造することができる。

【0043】また、本実施の形態において、酸化シリコン膜8をシリコン膜3a上に形成し、ドライエッチングによりゲート電極6およびサイドウォールスペーサ7bの形成予定領域のみに酸化シリコン膜8上にシリコン膜3aおよび酸化シリコン膜8上にシリコン膜8を形成した基板上に、通常のMOSプロセスによりMISFETを形成することとしてもよいが、本実施の形態によれば、シリコン膜3a上に選択シリコン法によりシリコン膜3cを自己整合的に形成することができるため、ゲート電極とソース・ドレインの形成時における合わせ余裕やマスクずれを考慮する必要がない。

【0044】さらに、本実施の形態において、ゲート電極を多結晶シリコン膜6aとW膜6bの二層構造としたのは、前述の選択シリコン成長時において、多結晶シリコン膜6a上にシリコン膜が成長することを防止するとともに、ゲート電極の高抵抗化を防止するためである。【0045】（実施の形態2）実施の形態1では、支持基板1上に酸化シリコン膜2aを介してシリコン膜3aが形成された基板上に、酸化シリコン膜8およびシリコン膜3bを順次形成した（図4）が、次のように、二枚のバルク基板21A、21Bを取り合わせることにし、図4に示す基板を形成してもよい。

【0046】図10（a）に示すように、二枚のバルク

基板21A、21Bを準備する。このうち、基板21Aを熱酸化し、100nmの酸化シリコン膜22aを形成する。次いで、酸化シリコン膜22a上に220nmの多結晶シリコン膜23aを蒸着する(図10(b))。

【0047】一方、他の基板21B上には、酸化シリコン膜28を10nm程度形成し、水素イオン(H⁺)を基板表面から110nmの深さに打ち込む(図10(b))。

【0048】次いで、図10(c)に示すように、基板21Aの表面と基板21Bの表面とを張り合わせ、アニールを行う。

【0049】さらに、基板21Bの水素イオンH⁺の打ち込み箇所において、この張り合わせ基板をへきかす(図10(d))。この結果、水素イオンH⁺の打ち込み箇所から酸化シリコン膜28までの基板21Bの一部(23b)が基板表面に現れ、図4に示す基板と同様の基板を得ることができる。

【0050】以降は、実施の形態1で説明した製造方法と同様の方法により、図10(d)に示す基板上にnチャネル型MISFETを形成することができる。

【0051】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0052】特に、実施の形態1および2においてはnチャネル型MISFETを例に説明したが、pチャネル型MISFETについても適用可能であることは言うまでもない。

【0053】**【発明の効果】** 本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0054】本発明の半導体集積回路装置においては、絶縁膜上に形成されたシリコン膜の主表面にMISFETが形成された半導体集積回路装置のシリコン膜をMISFETのソース・ドレイン端部から延在する空乏層に接する中性領域を有するよう形成し、さらに、このMISFETのゲート電極に電界をかけた場合に反転層が形成される領域と前記中性領域との間に、このゲート電極に對向するよう絶縁層を形成したので、基板電位を安定化させることができ、消費電流の低減を図ることができる。

【図面の簡単な説明】
 【図1】本発明の実施の形態1である半導体集積回路装置の要部断面図である。

【図2】インパクトイオン化により生じた正孔(h⁺)の動きを示す図である。

【図3】(a)は、ゲート電位V_Gが0VからV_{DD}に変化した場合の状態を示す図であり、(b)は、ゲート電位V_Gが0VからV_{DD}に変化した場合のドレイン電流を示す図である。

示す図である。

【図4】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図5】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図6】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図7】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図8】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図9】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図10】(a)～(d)は、本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図11】バルク基板上に形成されたMISFETのインパクトイオン化により生じた正孔(h⁺)の動きを示す図である。

【図12】部分変型MISFETのインパクトイオン化により生じた正孔(h⁺)の動きを示す図である。

【図13】部分変型もしくはバルク基板上に形成されたMISFETの電位-電流(V_G-I)曲線を示す図である。

【図14】完全変型MISFETのインパクトイオン化により生じた正孔(h⁺)の動きを示す図である。

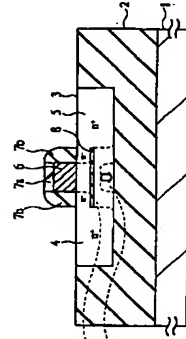
【符号の説明】

- 1 支持基板
- 2 埋め込み絶縁膜
- 2a 酸化シリコン膜
- 2b 酸化シリコン膜
- 3 シリコン膜
- 3a シリコン膜
- 3b シリコン膜
- 3c シリコン膜
- 3d コパルトシリサイド
- 4 ソース
- 5 ドレイン
- 4a n⁺型半導体領域
- 5a n⁺型半導体領域
- 4b n⁺型半導体領域
- 5b n⁺型半導体領域
- 6 ゲート電極
- 6a 多結晶シリコン膜
- 6b W膜
- 7a 酸化シリコン膜
- 7b サイドウォールペースタ
- 8 酸化シリコン膜
- 9 変性層
- 10 中性領域

- 11 基板供給端子
- 21A 基板
- 21B 基板
- 22a 酸化シリコン膜
- 23a 多結晶シリコン膜
- 28 酸化シリコン膜
- H⁺ 水素イオン
- h⁺ 正孔
- A 素子形成領域

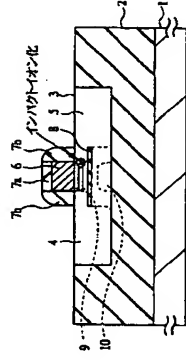
【図1】

図1



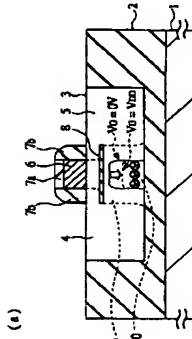
【図2】

図2



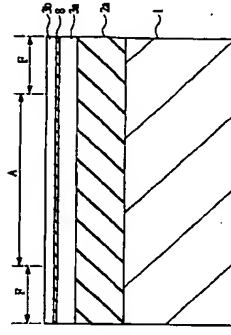
【図3】

図3



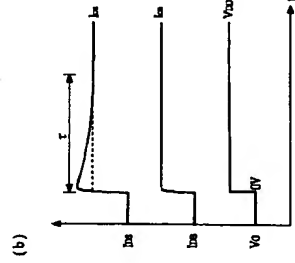
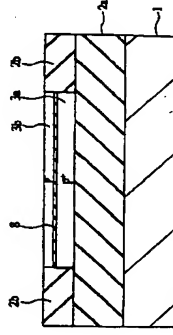
【図4】

図4



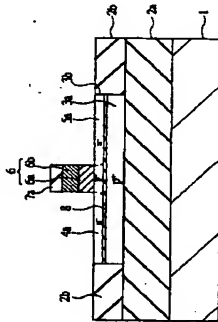
【図5】

図5



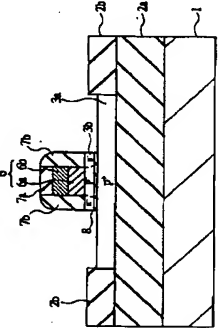
【図6】

図6



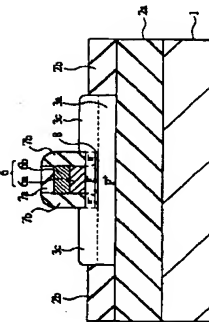
【図7】

図7



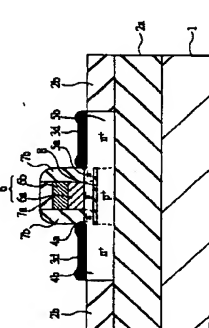
【図8】

図8



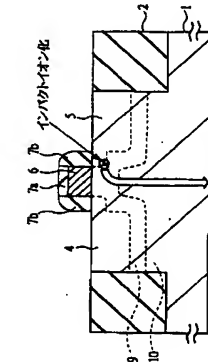
【図9】

図9



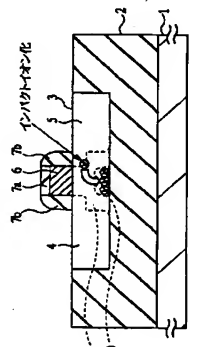
【図11】

図11



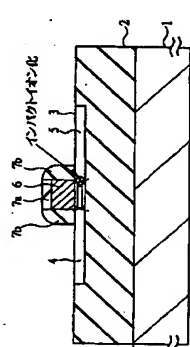
【図12】

図12



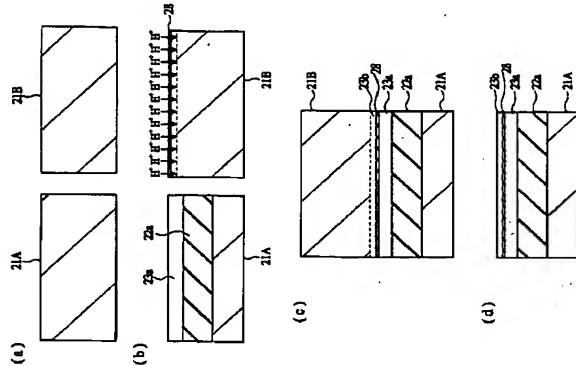
【図14】

図14



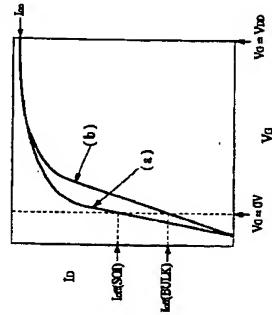
【図10】

図10



【図13】

図13



特開平9-283766

(43) 公開日 平成9年(1997)10月31日

(51) Int. Cl. ⁷	識別記号	戸内整理番号	FI	技術表示箇所
H01L 29/786	27/12	29/78	H01L 29/78	6 2 6 B
	27/12			C
	29/78			3 0 1 X

審査請求	未請求	請求項の数	4	OL (全 4 頁)
------	-----	-------	---	------------

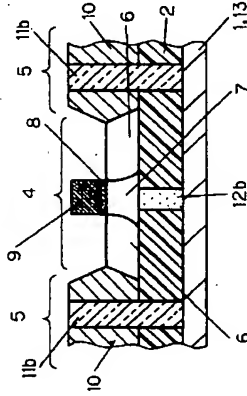
(21) 出願番号	特開平8-98505	(71) 出願人	000005821
(22) 出願日	平成8年(1996)4月18日	松下電器産業株式会社	松下電器産業株式会社
		大阪府門真市大字門真1005番地	大阪府門真市大字門真1005番地
		入江 重夫	入江 重夫
		大阪府門真市大字門真1005番地	大阪府門真市大字門真1005番地
		産業株式会社	産業株式会社
		森田 清之	森田 清之
		大阪府門真市大字門真1005番地	大阪府門真市大字門真1005番地
		産業株式会社	産業株式会社
		森本 隆	森本 隆
		大阪府門真市大字門真1005番地	大阪府門真市大字門真1005番地
		産業株式会社	産業株式会社
		(74) 代理人	弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 面積をロスすることなく、基板電位を制御することができ、高抵抗なS01型トランジスタを提供する。

【解決手段】 S01構造の基板上にMOS型トランジスタを形成する。この導電性のシリコン基板1もしくは導電性基板13上に埋め込み酸化膜2があり、その上の上部シリコン層3に素子形成部4と素子非形成部5がある。素子形成部4は、ソース、ドレイン領域6およびチャネル領域7から成る領域と、ゲート酸化膜8、ゲート電極9より構成されている。素子非形成部5は素子分離用酸化膜10で構成されている。さらに、上記素子非形成部5には、目印、位置合わせ用プラグ11bがあり、埋め込み酸化膜2内には、チャネル領域7と導電性のシリコン基板1もしくは導電性基板13とを接続する基板電位制御用電極12aがある。このように構成により、チャネル領域下の基板電位を確実に制御することができ、しかも従来例とは異なり表面から制御するので面積ロスがなくなるという効果を得られる。



【特許請求の範囲】

【請求項1】 S01基板の上部シリコン層に形成した電界効果トランジスタにおいて、該電界効果トランジスタの非形成部に少なくとも1個のプラグを具備し、該電界効果トランジスタのチャネル領域下に基板電位制御用電極を具備することを特徴とする半導体装置。

【請求項2】 S01基板の上部シリコン層の部に素子形成部を形成する工程と、該素子形成部以外の領域に少なくとも1個の開孔部を設ける工程と、該開孔部にプラグを埋め込む工程と、該素子形成部に電界効果トランジスタを形成する工程と、配線パターン、保護膜を順次形成する工程と、該シリコン基板を表面から除去し、該プラグを露出する工程と、該プラグを目印、位置合わせキーとして、該電界効果トランジスタのチャネル領域下の領域に埋め込み酸化膜を開孔し、基板電位制御用電極を形成する工程とを含む半導体装置の製造方法。

【請求項3】 プラグが、金属、あるいは絶縁物、あるいは空隙であることと特徴とする請求項1に記載の半導体装置。

【請求項4】 プラグが、金属、あるいは絶縁物、あるいは空隙であることと特徴とする請求項2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】 【発明に属する技術分野】 本発明は、S01を用いた電界効果トランジスタ及びその製造方法に関するものである。

【0002】

【従来の技術】 近年、S01型トランジスタは、注目を集めている技術の一つであり、バルク型トランジスタに比べて寄生容量が小さいので、高速動作及び低消費電力を可能としている。しかしながら、部分変型S01型トランジスタは、基板電位をとらずに動作させると、基板に少数キャリアが蓄積され、基板電位効果により、S01型トランジスタ特有のキンク現象など特性劣化の原因となる。

【0003】 従来の技術では、MOS型トランジスタのチャネル領域の部をゲート電極とは別の電極に接続することにより、その電極を通じて、基板電位を制御する方法などがある。

【0004】 以下図面を参照しながら、上記した基板電位制御技術の一例について説明する。

【0005】 なお、この技術は特開平7-273340号に記載されたものが知られている。図4は従来の基板電位制御可能な電界効果トランジスタのパターンを示す概略平面図である。図4において、S01基板上にチャネル領域21a、b及びソース/ドレイン領域22が形成されており、ゲート電極23はチャネル領域21aのみを覆うように形成されている。ゲート電極23によって覆われていないチャネル領域21bは、チャネルコンタクト24を介して引き出し電極25に接続されており、この引き出し電極25によっ

て、チャネル領域21a、bの基板領域にたまった不要な電荷を引き抜くことができる。

【0006】

【発明が解決しようとする課題】 しかしながら上記のような構成では、以下のような問題点を有している。同型トランジスタに比べ電流駆動力が低下し、同型トランジスタに比べて面積的なロスが大きい。

【0007】 本発明の目的は、S01基板上に形成されたトランジスタにおいて、面積ロスおよび基板電位効果のない、高性能なS01型トランジスタとその製造方法を提供することにある。

【0008】

【課題を解決するための手段】 上記問題点を解決するために、本発明のS01型トランジスタでは、S01基板の素子形成、配線工程を行なった後、素子形成前に素子分離用酸化膜に形成した目印、位置合わせ用プラグをもとに、表面からチャネル領域下の埋め込み酸化膜にコンタクトホールを開け、電極を埋め込み、基板電位を制御する。従来例と異なり、基板電位を表面から制御することで面積ロスがなくなる。

【0009】

【発明の実施の形態】

(実施の形態1) 以下本発明の実施の形態について、図1、2を参照しながら説明する。

【0010】 図1はS01構造の断面図、図2は本発明の第1の実施の形態について半導体装置の断面図を示すものである。

【0011】 まず、図1は、シリコン基板1、埋め込み酸化膜2、上部シリコン層3から構成されるS01 (Silicon On Insulator) 基板を示している。次に図2に示すように、図1の基板上にMOS型トランジスタを形成する。ただし、図2では、図1のシリコン基板が導電性のシリコン基板1、もしくは導電性基板13である。この導電性のシリコン基板1もしくは導電性基板13上に埋め込み酸化膜2があり、その上の上部シリコン層3に素子形成部4と素子非形成部5がある。素子形成部4は、ソース、ドレイン領域6およびチャネル領域7から成る領域と、ゲート酸化膜8、ゲート電極9より構成されている。素子非形成部5は素子分離用酸化膜10で構成されている。さらに、上記素子非形成部5には、目印、位置合わせ用プラグ11bがあり、上記埋め込み酸化膜2内には、チャネル領域7と導電性のシリコン基板1もしくは導電性基板13とを接続する基板電位制御用電極12aがある。半導体装置の構成は、以上のようになっている。

【0012】 特に、素子非形成部4の目印、位置合わせ用プラグ11bと埋め込み酸化膜2内の基板電位制御用電極12aを具備している点が特徴である。このような構成により、チャネル領域下の基板電位を確実に制御することができ、しかも従来例とは異なり表面から制御するので面積ロスがなくなるという効果を得られる。

【0013】以下本発明の実施の形態について、図3を参照しながら説明する。図3は本発明の第2の実施の形態について半導体装置の工程断面図を示すものである。まず、図3(a)に示すように、上部シリコン層3上に素子分離酸化膜10を形成後、SiO₂膜である素子分離用酸化膜10の中央部を目印、位置合わせ用ホール11aの形成のため、下部のシリコン基板11に達するまでエッチングする。さらに、その位置合わせ用ホール11aにCVD (Chemical Vapor Deposition) 法によりタンタムステスなどの金属を埋め込み、目印、位置合わせ用金属プラグ11bを形成する。このプラグ11bは、裏面からシリコン基板11を取り除いた後、ウエハの位置を合わせるための目印と、チャネル領域7下の埋め込み酸化膜16にコンタクトホールを開けるための目印を兼ねている。この工程の後、素子形成部4に素子を形成する (図3(b))。なお、このプラグ11bは、金属以外の絶縁物プラグもしくは、空隙でもよい。

【0014】次に、図3(c)に示すように、素子形成部4上に、必要に応じて配線工程14、保護膜15の堆積を行なった後、保護膜15の全面をCMP (Chemical Mechanical Polishing) 法などにより平坦にする。

【0015】次に、図3(d)に示すように、研磨時の強度を上げるため研磨支持金属板16を保護膜15の上に貼り付ける。さらにシリコン基板11を埋め込み酸化膜2に達するまで (図中下から上に) CMP法により研磨する。なお、研磨時の強度が充分である場合は、保護膜15の平坦化工程および研磨支持金属板16は不要である。また、この工程および研磨支持金属板16は不要である。また、この工程は、研磨に限らず、エッチングアミン、ピロカチコールの水溶液やヒドランジ、イソプロピルアルコールの水溶液などのアルカリ系溶液のエッチングでもよい。これらのアルカリ系溶液を用いる理由は、選択比の違いによりシリコンはエッチングするが、酸化膜はエッチングしにくいからである。

【0016】さらに、金属プラグ11bを目印にウエハの位置合わせを行ってから、同目印でチャネル領域7下の埋め込み酸化膜2にコンタクトホール12aを形成する。このコンタクトホール12aはチャネル領域7に達している。コンタクトホール形成後、そのコンタクトホール12a及び全面にCVD法によりアルミニウムなどの金属を堆積し、基板電位制御用電極12bを形成する。さらにパターンニングを行い、素子との配線を施す。

【0017】以上のように、素子非形成部5にプラグ11bを形成し、これを目印にしてチャネル領域7と接続するコンタクトホール12aを形成することができるので、酸

素にチャネル領域7下の基板電位を制御することが可能となる。

【0018】

【発明の効果】 以上のように本発明は、シリコン基板、埋め込み酸化膜、上部シリコン層の3層構造からなるSOI基板上に形成した、SOI型電界効果トランジスタにおいて、チャネル領域下の埋め込み酸化膜にコンタクトホールを開け、電極を埋め込むことにより、従来例に比べて面積ロスなく基板電位を制御することができる。つまり、基板浮遊効果も抑制できる。

【図面の簡単な説明】

【図1】 SOI基板の概略断面図

【図2】 本発明の第1の実施例におけるSOI型トランジスタ構造の概略断面図

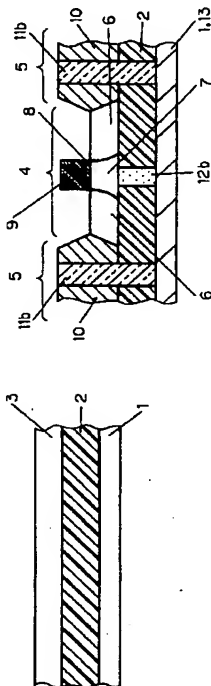
【図3】 本発明の第2の実施例におけるSOI型トランジスタの製造方法の概略断面図

【図4】 従来の基板電位をとることができる電界効果トランジスタのパターンを示す概略平面図

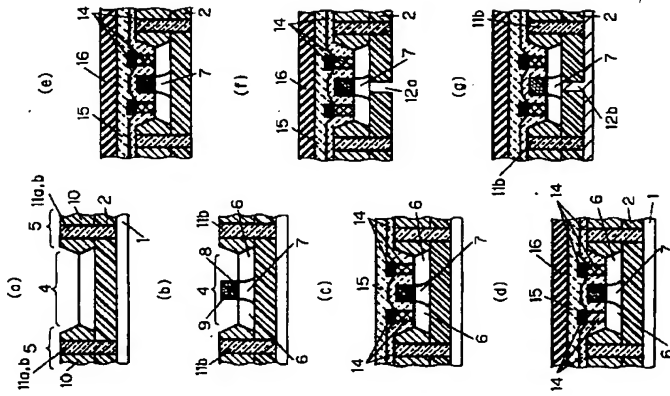
【符号の説明】

- 1 シリコン基板
- 2 埋め込み酸化膜
- 3 上部シリコン層
- 4 素子形成部
- 5 素子非形成部
- 6 ソース、ドレイン領域
- 7 チャネル領域
- 8 ゲート酸化膜
- 9 ゲート電極
- 10 素子分離用酸化膜
- 11 a 目印、位置合わせ用ホール
- 11 b 目印、位置合わせ用プラグ
- 12 a コンタクトホール
- 12 b 基板電位制御用電極
- 13 導電性基板
- 14 配線
- 15 保護膜
- 16 研磨支持基板
- 21 a, b チャネル領域 (従来例)
- 22 ソース/ドレイン領域 (従来例)
- 23 ゲート電極 (従来例)
- 24 チャネルコンタクト (従来例)
- 25 引き出し電極 (従来例)
- 26 素子領域 (従来例)
- 27 ソース/ドレイン電極 (従来例)

【図1】



【図3】



【図4】

